

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi HAMASAKI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: LSI PACKAGE PROVIDED WITH INTERFACE MODULE AND METHOD OF MOUNTING THE
SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-039828	February 18, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

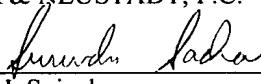
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Surinder Sachar
Registration No. 34,423

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月18日
Date of Application:

出願番号 特願2003-039828
Application Number:

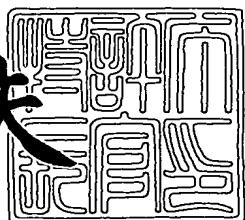
[ST. 10/C] : [JP2003-039828]

出願人 株式会社東芝
Applicant(s):

2003年 7月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】

特許願

【整理番号】

A000203680

【提出日】

平成15年 2月18日

【あて先】

特許庁長官 殿

【国際特許分類】

H01L 21/00

【発明の名称】

インターフェイスモジュール付LSIパッケージ及びその実装方法

【請求項の数】

13

【発明者】**【住所又は居所】** 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内**【氏名】** 濱崎 浩史**【発明者】****【住所又は居所】** 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内**【氏名】** 古山 英人**【特許出願人】****【識別番号】** 000003078**【氏名又は名称】** 株式会社 東芝**【代理人】****【識別番号】** 100058479**【弁理士】****【氏名又は名称】** 鈴江 武彦**【電話番号】** 03-3502-3181**【選任した代理人】****【識別番号】** 100091351**【弁理士】****【氏名又は名称】** 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 インターフェイスモジュール付LSIパッケージ及びその実装方法

【特許請求の範囲】

【請求項1】

信号処理LSIが搭載され、実装ボード接続用電気端子を有するインターポーザと、高速信号を外部配線するための伝送線路を有したインターフェイスモジュールとを備えてなり、

前記インターポーザ及び前記インターフェイスモジュールが機械的接触により電気的に接続される電気接続端子を有することを特徴とするインターフェイスモジュール付LSIパッケージ。

【請求項2】

前記インターポーザは、前記信号処理LSIが表面側に搭載され、裏面側に実装ボード接続用電気端子を有してなり、

前記インターフェイスモジュールは、前記伝送線路に信号を送出又は該伝送線路から信号を受信する駆動素子を内蔵し、かつ前記駆動素子に電気的に接続された第1の電気接続端子を有し、

前記インターポーザが、表面側に前記第1の電気接続端子と対となる第2の電気接続端子を有し、

前記インターポーザと前記インターフェイスモジュールは、前記第1の電気接続端子と前記第2の電気接続端子の機械的接触により電気的に接続されることを特徴とする請求項1記載のインターフェイスモジュール付LSIパッケージ。

【請求項3】

信号処理LSIが搭載され、実装ボード接続用電気端子を有するインターポーザと、高速信号を外部配線するための伝送線路を有したインターフェイスモジュールとを備えてなり、

前記インターポーザ及び前記インターフェイスモジュールが電気接続端子を有し、前記インターポーザ又は前記インターフェイスモジュールの少なくとも一方の前記電気接続端子が、機械的押圧により高さ調節機構を有することを特徴とす

るインターフェイスモジュール付LSIパッケージ。

【請求項4】

前記インターポーザは、前記信号処理LSIが表面側に搭載され、裏面側に実装ボード接続用電気端子を有してなり、

前記インターフェイスモジュールは、放熱用ヒートシンクを有し、前記伝送線路に信号を送出又は該伝送線路から信号を受信する駆動素子を内蔵し、かつ前記駆動素子に電気的に接続された第1の電気接続端子を有し、

前記インターポーザが、表面側に前記第1の電気接続端子と対となる第2の電気接続端子を有し、

前記第1の電気接続端子と前記第2の電気接続端子は、機械的接触により電気的に接続され、前記信号処理LSIの厚さ方向に沿った相対距離の所定範囲で機械的接触が保持されるものであり、前記第1の電気接続端子と前記第2の電気接続端子が電気接続された状態で、前記信号処理LSIが前記放熱用ヒートシンクに熱的に接続されることを特徴とする請求項3記載のインターフェイスモジュール付LSIパッケージ。

【請求項5】

前記電気接続端子がピンと該ピンと挿脱されるジャックであることを特徴とする請求項1～4の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項6】

前記電気接続端子は電極パッドを備え、各々の電極パッド間に異方性導電フィルムが設けられていることを特徴とする請求項1～4の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項7】

前記インターフェイスモジュール或いは前記インターポーザの何れか一方にはガイドピンが設けられ、残りの一方には前記ガイドピンが挿入されるガイド穴が形成されていることを特徴とする請求項1～4の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項8】

前記インターフェイスモジュールは、実装ボード接続用電気端子を更に有し、該実装ボード接続用電気端子を介して、前記インターポーザとは独立に電源が供給されることを特徴とする請求項1～7の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項9】

前記インターフェイスモジュールの前記駆動素子と前記第1の電気接続端子とがフレキシブル電気配線フィルムによって接続され、かつ前記第1の電気接続端子と前記第2の接続端子との間に加圧に対する可塑性を有する異方性導電フィルムが設置されていることを特徴とする請求項2又は4記載のインターフェイスモジュール付LSIパッケージ。

【請求項10】

前記電気接続端子が、前記信号処理LSIが実装された前記インターポーザ上の面内で、前記信号処理LSIを挟んで対向する2辺又は4辺に配列されてなることを特徴とする請求項1～9の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項11】

前記伝送線路が光伝送路であり、発光素子又は受光素子の少なくとも何れか一方の光素子と該光素子を駆動するインターフェイスICとからなる駆動素子を有することを特徴とする請求項1～10の何れかに記載のインターフェイスモジュール付LSIパッケージ。

【請求項12】

請求項1記載のインターフェイスモジュール付LSIパッケージの実装方法において、

前記信号処理LSIが搭載された前記インターポーザを他の実装部品と共に実装ボード上に実装する工程と、次いで前記インターポーザの電気接続端子と前記インターフェイスモジュールの電気接続端子を位置合わせして前記インターフェイスモジュールを実装する工程とを含むことを特徴とするインターフェイスモジュール付LSIパッケージの実装方法。

【請求項13】

請求項4記載のインターフェイスモジュール付LSIパッケージの実装方法において、

前記信号処理LSIが搭載された前記インターポーラを他の実装部品と共に実装ボード上に実装する工程と、次いで前記インターフェイスモジュールの前記放熱用ヒートシンクと前記信号処理LSIの放熱面との間に熱伝導材料を挿入する工程と、次いで前記第1の電気接続端子と前記第2の電気接続端子を位置合わせして前記熱伝導性材料が適正な厚みとなるように押圧して前記インターフェイスモジュールを実装する工程とを含むことを特徴とするインターフェイスモジュール付LSIパッケージの実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速信号を外部配線するための信号伝送用高速インターフェイスモジュールを備えたインターフェイスモジュール付LSIパッケージ及びその実装方法に関する。

【0002】

【従来の技術】

近年、LSIのクロック周波数は益々高くなっています、パーソナルコンピュータ用のCPUにおいてもGHz以上が実用化されています。しかしながら、LSI間インターフェイスのスループット向上のペースは、クロック周波数の上昇に比較すると緩やかで、これがパーソナルコンピュータの性能のボトルネックとなっています。そのため、インターフェイスの高スループット化の研究開発が盛んに行われています。

【0003】

インターフェイスのスループット向上には、1端子当たりの信号周波数の向上と端子数の増加が必要である。しかし、端子数を多くするとLSIやパッケージの面積が大きくなり、内部配線長が長くなってしまって高周波動作が不可能になるという制限があるため、1端子当たりの周波数を高くすることが大きな課題となっています。一方、1端子当たりの周波数を高くすると、電気信号の減衰は大きくなり、

インピーダンス不整合による反射の影響が大きくなるため、線路長に制限が生じる。そのため、高速信号伝送路としてインピーダンス不整合や減衰量を極力抑えた伝送線路を用いる必要がある。

【0004】

インピーダンス不整合や損失の影響が少ない長距離伝送路として、光ファイバーを用いることが有効である。そのため、光電変換機能を持つ光インターフェイスモジュールが用いられる。光インターフェイスを用いた例で商品化、実用化されたものとして、図13に示した構造がある (Proceedings. 51st Electronic Components and Technology Conference, P.P.880-5, 2001)。

【0005】

図13において、901は信号処理等を行うLSIで、例えば902に示すようなPGAパッケージなどに実装されている。PGAパッケージ902は実装ボード904に搭載されており、LSI901からの入出力信号は、パッケージ902を介して実装ボード904上に配線された信号線路905に接続されている。910は光インターフェイスモジュールで、光素子（半導体レーザ素子（LD）や受光素子（PD））と光ファイバーを有し、外部への光信号入出力は光ファイバー911を介して行う。さらに、光素子を駆動するためのインターフェイスICを内蔵しており、電気入出力端子912を通じて実装ボード904上の信号線路905や必要な制御信号線及び電源ライン等（図示せず）と接続されている。また、903, 913はそれぞれLSI, 光インターフェイスモジュールの放熱用のヒートシンクである。

【0006】

このようなボードエッジ実装型の光インターフェイスモジュールでは、一旦光電変換が行われて光信号になれば、光ファイバーが非常に低損失で帯域の制限が少ないため、実装ボード間や装置間といった比較的長い距離でも高速信号伝送が可能である。しかし、光インターフェイスモジュールの電気入出力を実装ボード上の信号線905を介して行うため、実装ボードでの電気的な信号の減衰やインピーダンス不整合の影響を受ける。実装ボードの信号配線長は最大30cmを超えるため、例えば10Gbpsといった高い周波数の信号を伝送するためには、非

常に高価な伝送線路が必要となり、実装ボードのコストが上昇するという問題がある。

【0007】

そこで、高速信号は実装ボードを介さずにLSIパッケージのインターポーラ内のみに限定し、電気配線長を短くして、インターポーラ上に光信号に変換して外部入出力とする試みが行われている。

【0008】

図14に、LSIのインターポーラ上に光インターフェイスモジュールを半田付けして固定し、光コネクタ付ファイバによって光接続する構造を示す (HOT9 Interconnects. Symposium on High Performance Interconnects, P.P. 31-5, 2001 或いは日経エレクトロニクス810号、2001年12月3日号、pp. 121-122)。

【0009】

図中の1001は信号処理LSIで、半田バンプ1002によりインターポーラ1003に電気接続されている。インターポーラ1003上には、光インターフェイスモジュール1004が半田バンプ1005により実装されており、LSI1001の入出力と配線1006で接続されている。光インターフェイスモジュール1004は、インターフェイスIC1007と光素子1008が内蔵されており、電気-光信号変換を行っている。これらの素子は、光信号用ウインドウ付のパッケージ1009に収められており、信頼性が確保されている。

【0010】

ウインドウ部には平板マイクロレンズ1010が搭載されており、入射ビームを絞り込むと共に、外部の光ファイバーとの光結合のトレランスを大きくしている。インターポーラ1003は、実装ボード1011に半田バンプ1012により電気接続されている。光ファイバ1013は、90°光路変換用ミラー付きのコネクタ1014に納められ、位置合わせピン1015をパッケージ1009の嵌合穴に差し込むことで位置決めを行っている。

【0011】

この構造によれば、光インターフェイスモジュール1004を個別にパッケ

ジングした後インターポーザ1003に実装することができ、信頼性が高く、良品の光インターフェイスモジュールのみを搭載することができるため、検査コストを抑えることができる。また、インターポーザ1003を実装ボード1011に実装した後に、光コネクタ1014を接続できるため、インターポーザや他の部品の実装時に熱処理による被覆樹脂の劣化や、曲げによる破断などといった光ファイバに対する取り扱い上の制限を考慮する必要がないなど長所は多い。

【0012】

しかしながら、この構造では、LSI1001の半田付け、光インターフェイスモジュール1004の半田付け、場合によってはインターポーザ1003の半田付けが互いに干渉するため、それぞれの半田の融点を変えたり、実装の手順に制限が出るなど、実装上の問題がある。さらに、光コネクタ1014の位置を保持するためには、押し当て機構（図示せず）が別に必要になるなど、光接続をコネクタ化したことにより機構が大きくなりやすい。そのため、LSI1001の上部に取り付けられるヒートシンクに逃げを作るなど構造が複雑化することによるコスト上昇や、光インターフェイスモジュール1004の放熱用ヒートシンクを取り付けることが困難になるという問題がある。

【0013】

また、一般に信号の周波数が高くなってくると、1端子当たりの消費電力は大きくなる傾向にある。例えば、パーソナルコンピュータなどに用いられるCPUでは近年70～80Wに達するLSIもある。そこで、信号処理LSI上には、ヒートスプレッダと巨大なヒートシンクを設け放熱面積を稼いで、ファンなどで強制空冷を行う構造がとられる。一方、前述したとおり、信号処理LSIとインターフェイスモジュール間の配線長は、極力短くする必要があるため、信号処理LSI用のヒートシンクを設置した場合、インターフェイスモジュール用の別のヒートシンクを設ける場所的余裕がなくなる。

【0014】

そこで、信号処理LSIとインターフェイスモジュールのヒートシンクを共有して、同時に放熱することが考えられるが、この場合、信号処理LSIとインターフェイスモジュールを同時にインターポーザに実装した時の、それぞれの上面

の高さを厳密に一致させることや、段差がある値に厳密に制御することは困難である。

【0015】

さらに、インターフェイスモジュールが半田付けされているため、インターフェイスモジュールの故障時には、高価な信号処理LSIごと交換する必要が生じるという問題もある。

【0016】

次に、図15にインターポーザに直接光素子を実装し、実装ボード上に有機材料からなる光導波路を貼り付けて伝送路とする例を示す（第16回エレクトロニクス実装学術講演大会、20B-10, 2002）。

【0017】

図中の1101はインターフェイスICであり、インターポーザ基板1102上に半田付けされている。インターポーザ基板1102はスペーサ1103を介して実装ボード1104に固定されている。実装ボード1104とインターポーザ基板1102上の配線とは、フレキシブル配線（図示せず）等で接続されており電源や入出力電気信号等が供給されるが、信号処理用LSI（図示せず）等をインターフェイスICの上に三次元実装することを想定している。

【0018】

インターポーザ基板1102の下側（実装ボード1104側）には面型の光素子1105が搭載されており、実装ボード1104上に貼り付けられた、光路を90°変換するためのミラー1108付の光導波路1106と光結合するように位置決めされている。光素子1105、インターポーザ基板1102には貫通電極1107が設けられており、電気信号配線の長さを短くすることができ、良好な信号特性を得ることが可能な構造になっている。

【0019】

この場合、光素子1105がインターポーザ基板1102上に直接ベアチップ実装されており、インターポーザ基板1102を実装ボード1104へ実装する時に光導波路1106と光結合させる構造になっているため、実装ボード1104とインターポーザ1102の熱膨張係数の違いなどから光学精度を維持するこ

とが困難である。また、光素子が剥き出しであると信頼性の確保が難しいため、光素子部を信号伝送に使用する波長で透明な樹脂等で埋め込むなどの方法を取る必要があるが、実装ボード上での作業が必要になり、製造上制約が多く、コストがかかるという問題がある。さらに、実装ボードに光導波路を別途貼り付ける必要があるため、実装工程が複雑化しコストが上昇するといった問題がある。

【0020】

また、この場合にも、光素子の故障時には、高価な信号処理LSIごと交換する必要が生じるという問題もある。

【0021】

以上、伝送線路として光ファイバーを用いる例を取り上げて従来技術の問題点を説明したが、これらの問題は、伝送線路を同軸ケーブルやセミリジドケーブル或いはフレキシブル配線板等のような電気の伝送線路を用いた場合にも同様に生じる。

【0022】

【発明が解決しようとする課題】

このように従来、インターフェイスのスループット向上のために各種の光インターフェイスモジュールが用いられているが、図13に示したボードエッジ実装型の光インターフェイスモジュールでは、高い周波数の信号を伝送するために高価な伝送線路が必要となり、実装ボードのコストが上昇するという問題があった。

【0023】

また、図14に示した構成では、コネクタ方式のために機構が大きくなりすぎることや、半田付けが干渉するといった実装上の問題があった。さらに、ヒートシンクに逃げを作るなど構造が複雑化することによるコスト上昇や、光インターフェイスモジュールの放熱用ヒートシンクを取り付けることが困難になる。信号処理LSIとインターフェイスモジュールのヒートシンクを共有する場合、これらを同時にインターポーザに実装した時の、それぞれの上面の高さを厳密に一致させることや、段差がある値に厳密に制御することは困難である。さらに、インターフェイスモジュールが半田付けされているため、インターフェイスモジュー

ルの故障時には、高価な信号処理LSIごと交換する必要が生じるという問題もあった。

【0024】

また、図15に示した構成では、実装ボードとインターPO-ザの熱膨張係数の違いなどから光学精度を維持することが困難である。さらに、実装ボードに光導波路を別途貼り付ける必要があるため、実装工程が複雑化しコストが上昇するといった問題があった。また、この場合にも、光素子の故障時には、高価な信号処理LSIごと交換する必要が生じるという問題もあった。

【0025】

また、光素子を用いない電気インターフェイスモジュールを用いる場合も、同様の問題が生じる。

【0026】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、高価な伝送線路を要することなくインターフェイスモジュールを実装することができ、かつ構造が複雑化することによるコスト上昇や半田付けが干渉するといった実装上の問題を無くすことができ、インターフェイスの高スループット化をはかり得るインターフェイスモジュール付LSIパッケージを提供することにある。

【0027】

また、本発明の他の目的は、LSIやインターフェイスモジュールの発熱量が大きくなつてヒートシンクを共用する必要がある場合にも、LSIとインターフェイスモジュールの厚さの違いを吸収することができ、熱抵抗の上昇を抑制可能である安価なインターフェイスモジュール付LSIパッケージを提供することにある。

【0028】

【課題を解決するための手段】

(構成)

上記課題を解決するために本発明は、次のような構成を採用している。

【0029】

即ち本発明は、信号処理LSIが搭載され、実装ボード接続用電気端子を有す

るインターポーザと、高速信号を外部配線するための伝送線路を有したインターフェイスモジュールとを備えたインターフェイスモジュール付LSIパッケージにおいて、前記インターポーザ及び前記インターフェイスモジュールが機械的接触により電気的に接続される電気接続端子を有することを特徴とする。

【0030】

また本発明は、上記構成のインターフェイスモジュール付LSIパッケージの実装方法において、前記信号処理LSIが搭載された前記インターポーザを他の実装部品と共に実装ボード上に実装する工程と、次いで前記インターポーザの電気接続端子と前記インターフェイスモジュールの電気接続端子を位置合わせして前記インターフェイスモジュールを実装する工程とを含むことを特徴とする。

【0031】

更に本発明は、上記の構成に加え、前記インターポーザは、前記信号処理LSIが表面側に搭載され、裏面側に実装ボード接続用電気端子を有してなり、前記インターフェイスモジュールは、前記伝送線路に信号を送出又は該伝送線路から信号を受信する駆動素子を内蔵し、かつ前記駆動素子に電気的に接続された第1の電気接続端子を有し、前記インターポーザが、表面側に前記第1の電気接続端子と対となる第2の電気接続端子を有し、前記インターポーザと前記インターフェイスモジュールは、前記第1の電気接続端子と前記第2の電気接続端子の機械的接触により電気的に接続されることを特徴とする。

【0032】

また本発明は、信号処理LSIが搭載され、実装ボード接続用電気端子を有するインターポーザと、高速信号を外部配線するための伝送線路を有したインターフェイスモジュールとを備えたインターフェイスモジュール付LSIパッケージにおいて、前記インターポーザ及び前記インターフェイスモジュールが電気接続端子を有し、前記インターポーザ又は前記インターフェイスモジュールの少なくとも一方の前記電気接続端子が、機械的押圧により高さ調節機構を有することを特徴とする。

【0033】

更に本発明は、上記の構成に加え、前記インターポーザは、前記信号処理LS

Iが表面側に搭載され、裏面側に実装ボード接続用電気端子を有してなり、前記インターフェイスモジュールは、放熱用ヒートシンクを有し、前記伝送線路に信号を送出又は該伝送線路から信号を受信する駆動素子を内蔵し、かつ前記駆動素子に電気的に接続された第1の電気接続端子を有し、前記インターポーザが、表面側に前記第1の電気接続端子と対となる第2の電気接続端子を有し、前記第1の電気接続端子と前記第2の電気接続端子は、機械的接触により電気的に接続され、前記信号処理LSIの厚さ方向に沿った相対距離の所定範囲で機械的接触が保持されるものであり、前記第1の電気接続端子と前記第2の電気接続端子が電気接続された状態で、前記信号処理LSIが前記放熱用ヒートシンクに熱的に接続されることを特徴とする。

【0034】

また本発明は、上記構成のインターフェイスモジュール付LSIパッケージの実装方法において、前記信号処理LSIが搭載された前記インターポーザを他の実装部品と共に実装ボード上に実装する工程と、次いで前記インターフェイスモジュールの前記放熱用ヒートシンクと前記信号処理LSIの放熱面との間に熱伝導材料を挿入する工程と、次いで前記第1の電気接続端子と前記第2の電気接続端子を位置合わせして前記熱伝導性材料が適正な厚みとなるように押圧して前記インターフェイスモジュールを実装する工程とを含むことを特徴とする。

【0035】

ここで、本発明の望ましい実施態様としては次のものが挙げられる。

【0036】

(1) 第1の電気接続端子はピンで形成され、第2の電気接続端子はピンが挿脱されるジャックで形成されていること。或いはその逆に、第2の電気接続端子はピンで形成され、第1の電気接続端子はピンが挿脱されるジャックで形成されていること。

【0037】

(2) 第1の電気接続端子及び第2の電気接続端子は電極パッドを備え、各々の電極パッド間に異方性導電フィルムが設けられていること。

【0038】

(3) インターフェイスモジュールにガイドピンが設けられ、インターポーザの表面側にガイドピンが挿入されるガイド穴が形成されていること。或いはその逆に、インターポーザにガイドピンが設けられ、インターフェイスモジュールの表面側にガイドピンが挿入されるガイド穴が形成されていること。

【0039】

(4) インターフェイスモジュールは、実装ボード接続用電気端子を更に有し、該実装ボード接続用電気端子を介して、インターポーザとは独立に電源が供給されること。

【0040】

(5) インターフェイスモジュールの駆動素子と第1の電気接続端子とがフレキシブル電気配線フィルムによって接続され、かつ第1の電気接続端子と第2の接続端子との間に加圧に対する可塑性を有する異方性導電フィルムが設置されていること。

【0041】

(6) 第1の電気接続端子及び第2の電気接続端子が、信号処理LSIと放熱用ヒートシンクとの熱的接続経路を挟んで対向する2辺又は4辺に配列されてなること。

【0042】

(7) 伝送線路が光ファイバなどの光伝送路であり、駆動素子が発光素子又は受光素子の少なくとも何れか一方の光素子と該光素子を駆動するインターフェイスICとからなること。

【0043】

(8) 伝送線路は、コネクタなどを介すことなくインターフェイスモジュールに直接接続されていること。

【0044】

(作用)

本発明によれば、インターフェイスモジュールをピグテール型（伝送線路の一端をインターフェイスモジュール内に含む構造）として光学的結合或いは電気的接続保持構造を含めて別パッケージに収め小型化をはかると共に、インターフェ

イスモジュールとインターポーザを、これらに設けた電気接続端子を介して機械的接触により電気的に接続する構造とすることで、前述した課題を解決することができる。

【0045】

より具体的には、インターフェイスモジュールをインターポーザに直接実装しているので、信号処理LSIとインターフェイスモジュールとの間の電気配線長を短くでき、これにより高価な伝送線路を要することなく高スループットのインターフェイスモジュールを実装することができる。また、インターフェイスモジュールの外部配線はコネクタによる結合ではなく、直接結合されているので、インターフェイスモジュールの構造が複雑化することもない。さらに、インターポーザとインターフェイスモジュールとを電気接続端子により結合可能にしているので、インターポーザとインターフェイスモジュールとの半田付けが干渉するといった問題はない。

【0046】

また、インターフェイスモジュールをヒートシンクに固定し、電気接続端子に高さ調節機能を持たせることで、LSIとインターフェイスモジュールの高さの違いを吸収することができる。これにより、LSIやインターフェイスモジュールの発熱量が大きくなつてヒートシンクを共用する必要がある場合にも、LSIとインターフェイスモジュールの厚さの違いを吸収することができ、熱抵抗の上昇を抑制可能である安価なインターフェイスモジュール付LSIパッケージを実現することが可能となる。

【0047】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【0048】

(第1の実施形態)

図1は、本発明の第1の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図であり、(a)は光インターフェイスモジュールの接続前、(b)は光インターフェイスモジュールの接続後の状態を

示している。

【0049】

図中の1は信号処理LSIであり、このLSI1はインターポーザ2に半田バンプ3により電気接続され、アンダーフィル樹脂11で半田バンプ接続部が封止されている。インターポーザ2には、高速信号配線4が配線されており、LSI1の信号入出力端子と半田バンプ3で接続されている。高速信号配線4の他端は、インターポーザ2の表面側に設けられたジャック（第2の電気接続端子）10と接続されている。

【0050】

7は光インターフェイスモジュールであり、このモジュール7はインターフェイスIC、光素子、及び光ファイバー8などを有している。光インターフェイスモジュール7の接続ピン（第1の電気接続端子）9は、ジャック10に挿入されるようになっている。また、図示していないが、電源や接地ラインや低速の制御信号ラインも同様に接続されている。インターポーザ2は、実装ボード6の電気配線と半田バンプ5により接続されている。

【0051】

このような構造によれば、通常のBGAパッケージLSIの実装とほぼ同等の工程で、実装ボード6にインターポーザ2を実装後（図1（a）の状態）に、光インターフェイスモジュール7を機械的に電気接続することができる（図1（b）の状態）。即ち、実装ボード6上へ他の部品と共にインターポーザ2の電気実装、即ちリフローやレーザ加熱などといった熱処理後に、光インターフェイスモジュール7を搭載可能であり、電気実装親和性が高い構造である。

【0052】

また、光インターフェイスモジュール7は、別個にパッケージングされるため、信頼性の確保が可能で、さらにそれ自体で検査可能な構造であり、光素子不良による実装ボード6の歩留り低下を抑制可能である。さらに、光インターフェイスモジュール7は、電気実装により熱処理なしに実装できるため、ピグテール方式採用による実装への制限が少なくて済む。また、高速信号は実装ボード6の配線を経由せずに、インターポーザ2から接続ピン9経由で光インターフェイスモ

ジユール7に到るため、距離が短くて済み高周波信号を伝送可能である。

【0053】

また、光インターフェイスモジュール7は、光ファイバ8をコネクタにより接続するのではなく直接接続しているので、小型に形成することができる。さらに、光ファイバ8を横方向から挿入しているで、光インターフェイスモジュール7の厚さを薄く形成することができる。従って、インターポーザ2に対して、LSI1の上面よりも光インターフェイス7の上面の高さを低くでき、LSI1に対する大きなヒートシンク21の設置スペースを確保することが容易となる。

【0054】

図2は、本実施形態の高速インターフェイスモジュール付LSIパッケージの実際の実装状態を示す斜視図である。

【0055】

他の実装部品と共に信号処理LSI1が搭載されたインターポーザ2が実装ボード6に実装された後、図中矢印で示したように、光インターフェイスモジュール7の接続ピン9がインターポーザ2上のジャック10に挿入されて完成する。実装ボード6上の13は配線、14はチップ部品である。また、光ファイバ8の光インターフェイスモジュール7の反対端には、外部光ファイバとの接続用の光コネクタ12が接続されている。

【0056】

このように、光インターフェイスモジュール7から離れた場所で光コネクタ12を接続することにより、前述した光コネクタ構造が大きくなることによる、実装制限を解決することが可能である。また、この図では、光インターフェイスモジュール7とインターポーザ2の電気接続は、図中の接続ピン9とジャック10とからなるが、これらのピン／ジャックは信号処理LSI1の周囲の4辺で接続されているため、接続時に接続ピン9にかかる力を均等化できる。このため、特定のピンに力が集中しピンが破壊したり、インターポーザ2に偏った力がかかつて半田付け部が破壊するなどの不良を抑制できる。

【0057】

また、信号処理LSI1を搭載したインターポーザ2を、他の実装部品（例え

ば、キャパシタやリアクタンスといったチップ部品、或いは周辺のLSIやICなど）と共に、通常のリフロー工程による半田付けやソケットへの嵌合といった方法で電気実装を終了後、インターフェイスモジュール7を熱履歴を加えることなく、機械的な接続のみで後付けすることができる。このため、インターフェイスモジュール7に用いられる伝送線路を実装工程に制限されずに選択することができる。従って、伝送距離や周波数或いはコストに応じた最適の材料を選択でき、全体としてコストが低減可能という効果がある。

【0058】

(第2の実施形態)

図3は、本発明の第2の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0059】

第1の実施形態の構成において、信号の帯域を上げるために信号線の数を増やす場合、光インターフェイスモジュール7のコネクタ（接続ピンを9）を微細な構造としてピッチを狭くする必要がある。この場合、接続時の位置合わせに高い精度が要求される。

【0060】

そこで本実施形態では、図3に示すように、光インターフェイスモジュール7位置合わせ用のガイドピン15を取り付け、インターポーラ5上にガイドピン15が挿入されるガイド穴16を設けている。

【0061】

このような構成であれば、ガイドピン15をガイド穴16に位置合わせして挿入するだけで、接続時の高い位置合わせ精度を達成することができる。従って、第1の実施形態と同様の効果が得られるのは勿論のこと、光インターフェイスモジュール7のコネクタを微細な構造としてピッチを狭くした場合にも十分対応することができる。

【0062】

(第3の実施形態)

図4は、本発明の第3の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0063】

第1の実施形態の構成において、光インターフェイスモジュール7の電源及び接地ラインを信号処理LSI1と共有すると、それぞれのスイッチングノイズが干渉して信号雑音となる場合が考えられる。この問題を回避するため、インターポーラ2上で信号処理LSI1と光インターフェイスモジュール7の各々の電源ラインに直近で、キャパシタンスなどを用いてデカップリングする必要があるが、インターポーラ2上は寸法の制限があり、光インターフェイスモジュール7を搭載したことにより増えるチップ部品を搭載するのに十分な余裕があるとは言い難い。

【0064】

そこで本実施形態では、図4に示すように、光インターフェイスモジュール7の電源及び接地を実装ボード6の電源配線17から直接とり、実装ボード6の裏面でキャパシタンスチップ或いはノイズフィルタチップ18等によりデカップリングしている。ここで、実装ボード6と光インターフェイスモジュール7の接続は、インターポーラ2との接続と同様にピン・ジャックを用いた構造である。

【0065】

このような構成であれば、光インターフェイスモジュール7を追加したことにより増えたチップ部品を実装ボード6に置くことができる。従って、第1の実施形態と同様の効果が得られるのは勿論のこと、寸法制限が減り、インターポーラ2側に大きな変更をしないでも、より強固なデカップリングを施すことができるという効果がある。

【0066】

以上で述べた実施形態では、インターポーラの表面に信号処理LSIおよび電気接続端子が設けられた例であるが、図5及び図6に示すような位置関係であっても良い。

【0067】

(第4の実施形態)

図5の(a)は光インターフェイスモジュールの接続前の状態を示す断面図であり、(b)は光インターフェイスモジュールの接続後の状態を示す断面図である。

【0068】

本実施形態の場合は、信号処理LSIは、インターポーザ内のキャビティ31に納められた構造と成っており、信号処理LSIがパッケージの外側に剥き出しえならないため、取り扱い性や信頼性に優れた構造となっている。

【0069】

(第5の実施形態)

図6の(a)は光インターフェイスモジュールの接続前の状態を示す断面図であり、(b)は光インターフェイスモジュールの接続後の状態を示す断面図である。

【0070】

本実施形態では、さらに電気接続端子がインターポーザ側面に設けられているため、全体としての薄型化が可能であるという特徴をもつ。

【0071】

(第6の実施形態)

図7は、本発明の第6の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を説明するためのもので、(a)は光インターフェイスモジュールの接続前の状態を示す断面図、(b)は光インターフェイスモジュールの接続後の状態を示す断面図、(c)は電気接続部の構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0072】

図7(a)に示すように、光インターフェイスモジュール7の上面は、ヒートシンク21に適切な厚さの熱伝導性接着剤20により固定されている。一方、信号処理LSI1が実装されたインターポーザ2は、半田バンプ5により実装ボード6に半田付けされている。そして、信号処理LSI1の上面に適切な厚さの熱

伝導性ペースト材19を介して、光インターフェイスモジュール7を搭載したヒートシンク21が接着されるようになっている。このとき、接続ピン9はインターポーザ2上のジャック10に挿入されて電気的に接続される（図7（b）の状態）。

【0073】

ジャック10は、例えば図7（c）に示すように、インターポーザ2に設けられた嵌合穴の内面に形成され高速信号配線4に接続された導体10-1と、導体10-1に電気的に接続された可撓性を有する導電性のバネ10-2から形成されている。バネ10-2が接続ピン9との接触を保持し、接続ピン9の先端が嵌合穴の底辺との間に余裕を持つ構造で実現可能で、接続ピン9はジャック10と電気的に接続を保ちながら上下に変位可能である。稼動範囲は、接続ピン9の長さと嵌合穴の深さに依存し、数百 μm 程度の変位が可能である。

【0074】

このような構造によれば、図8（a）に示すように、光インターフェイスモジュール7がヒートシンク21に適正な厚さの熱伝導性接着剤20で固定された後に、図8（b）に示すように、信号処理LSI1の裏面にヒートシンク21を適正な厚さの熱伝導性ペースト材19等で密着させることが可能である。このため、信号処理LSI1と光インターフェイスモジュール7のそれぞれに適正な厚さを設定でき、熱抵抗が上昇するのを抑えることができ、かつLSI-光インターフェイスモジュール間の電気的な接続を保持することが可能である。また、熱伝導性ペースト19の代わりに流動性のない熱伝導性シートを用いることも可能となり、加圧による厚みの制御を容易にすることができます。

【0075】

ここで、光インターフェイスモジュール7をインターポーザ2に半田付けする構成も考えられる。この場合、信号処理LSI1及び光インターフェイスモジュール7共に熱伝導性接着剤を用いてヒートシンク21に接着することになるが、LSI1と光インターフェイスモジュール7の厚さの違いによる段差を、この熱伝導性接着剤の厚さを変えることで吸収しなければならない。

【0076】

熱伝導性接着剤の熱伝導率は30～60W/m/K程度であり、ヒートシンク材でよく使われるアルミニウムの240W/m/KやLSI材料であるシリコンの150W/m/Kと比較して低い値にとどまっている。従って、放熱の観点からは熱伝導性接着剤の厚さはなるべく薄いほうが有利であるが、薄くなると接着強度が低下すると同時にクラック発生の原因となる。LSIが薄い場合、LSI側の熱伝導性接着剤が厚くなり、厚さ関係が逆の場合は光インターフェイスモジュール側の接着剤が厚くなり、同時に双方に最適な厚みとすることが難しい。つまり、接着剤の厚さで段差を吸収するために、何れかに厚い接着剤が必要な部分が生じ、その部分の熱抵抗が高くなつて放熱能力が低下するという問題がある。

【0077】

これに対し本実施形態のように、接続ピン9とジャック10を用いた高さ調節機構では、高さ調節機構により信号処理LSI1と光インターフェイスモジュール7との段差を吸収することができ、これにより上記の問題を解決できることになる。

【0078】

また、図8では、光インターフェイスモジュール7の電気接続は、信号処理LSI1の周囲の4辺に配列しているため、接続時に接続部にかかる力を均等化できる。そのため、信号処理LSI1の裏面の熱伝導性ペースト19を押し当てるときに平坦に押し圧をかけることができ、熱伝導性ペーストの厚さを均一とすることが容易になり、厚さの面内分布を抑えることができるという効果がある。熱伝導性シートを用いた場合も同様に圧力の均一化が可能で、部分加圧による熱抵抗上昇を抑制できる。また、同時に特定のピンに力が集中し破壊したり、インターポーラ2に偏った力がかかってボード実装用半田付け部が破壊するなどの不良を抑制できる。

【0079】

このような効果は、必ずしも4辺接続に限定されるものではなく、例えば対向する2辺接続でも同様の効果を得ることができる。また、電気接続端子の全てが電気的に接続される必要がないため、例えば光ファイバが1辺のみに有つて、それに該当する端子のみが電気的に接続されて、残り3辺は全て機械的に支えるた

めのダミー端子であっても良い。

【0080】

光インターフェイスモジュール7とインターポーザ2の電気的接続部の構造は、必ずしも図7(c)に限定されるものではなく、適宜変更可能である。例えば、インターポーザ2側に異方性導電フィルム、モジュール7側に電極パッドを設けた構造であってもよい。異方性導電フィルムは加圧に対する可塑性を持っており、押し圧に依存して数十～数百 μm 程度(フィルムの厚さに依存)の沈み込みが可能であるため、LSI1と光インターフェイスモジュール7の段差のばらつきを吸収することが可能である。

【0081】

異方性導電フィルムを用いた場合の高さ調節範囲は、前述のピン構造よりも小さくなるが、この構造によれば、インターポーザ2にジャック10を埋め込むための嵌合穴を設けたり、光インターフェイスモジュール7にピンを取り付けるなどの特別の加工を追加することなく通常の工程で構成可能であるため、インターポーザ2及び光インターフェイスモジュール7のコストを低減できるという効果がある。

【0082】

(第7の実施形態)

図9は、本発明の第7の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を説明するためのもので、(a)は光インターフェイスモジュールの接続前の状態を示す断面図、(b)は光インターフェイスモジュールの接続後の状態を示す断面図、(c)は電気接続部の構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0083】

図9(a)に示すように、信号処理LSI1がインターポーザ2上に実装されており、信号処理LSI1の信号入出力はインターポーザ2内の電気配線4によりインターポーザ2表面の信号処理LSI1周辺部に引き出されている。

【0084】

図9 (c) に示すように、インターポーザ2 内部の信号配線4 は、メタルポスト4-1 を介して表面に露出しており、露出部には電極パッド4-2 が形成されている。さらに、電極パッド4-2 に接触するようにインターポーザ2 上には、加圧に対する可塑性を持った異方性導電フィルム24 が貼り付けられている。異方性導電フィルム24 は加圧に対する可塑性を持っており、図9 (b) に示すように電気的に接続される際に、押し圧に依存して数十～数百 μm 程度（フィルムの厚さに依存）の沈み込みが可能であるため、LSI1 と光インターフェイスモジュール7 の段差のばらつきを吸収することが可能である。

【0085】

高さ調節範囲は、前述のピン構造よりも小さくなるが、この構造によれば、インターポーザ2 にジャック10 を埋め込むための嵌合穴を設けたり、光インターフェイスモジュール7 にピン9 を取り付けるなどの特別の加工を追加することなく通常の工程で構成可能であるため、インターポーザ2 及び光インターフェイスモジュール7 のコストを低減できるという効果がある。なお、この構造では、電極パッド4-2 及び23 の面内方向寸法に相当する横方向の実装余裕を持つという効果もある。

【0086】

一方、光インターフェイスモジュール7 は、図9 (a) に示すように適切な厚さの熱伝導性接着剤20 によりヒートシンク21 に固定されている。光インターフェイスモジュール7 の電気入出力部22 は、例えばポリイミドを基材とするフレキシブル配線フィルム等からなり、上面の“べた”電極が接着剤30 によりヒートシンク21 に固定されている。電気入出力部22 では殆ど発熱がないため、接着剤30 は熱伝導性が高い必要はない。フレキシブル配線フィルム22 には表面（図では下側）に露出した電極ポスト23 が設けられており、ヒートシンク21 がLSI1 に押圧されると同時に、電極ポスト23 が異方性導電フィルム24 に押圧されることにより電気的な接觸を得ることができる（図9 (b)）。

【0087】

フレキシブル配線フィルム22 の電極ポスト23 は光インターフェイスモジュール7 本体のパッケージ内に導かれ、パッケージ内での露出部でインターフェイ

スIC25と金ワイヤや半田バンプにより電気的に接続されている。このパッケージ内には、インターフェイスIC25と金ワイヤや半田バンプにより電気的に接続された光素子26と光ファイバ8とを有しており、光素子26と光ファイバ8とが光結合している。

【0088】

これまで述べてきた実施形態と同様、インターフェイスIC25や光素子26、光ファイバ8はインターポーザ2の外側に配置可能であるが、この構造によれば、インターポーザ2上にかかる光インターフェイスモジュール7の厚さは、フレキシブル配線フィルム22の厚さと接着剤30の厚さの和程度で済む。従ってこの場合、信号処理LSI1が非常に薄くなり、インターポーザ2とヒートシンク21との間隙が狭く光インターフェイスモジュール7にピン等を立てることが困難になった場合にも適用可能である。

【0089】

例えば、接着剤30及び配線フィルム22の厚さは、それぞれ30μmと50μm程度まで薄くすることができる。また、異方性導電フィルム24の厚さは、100μm程度まで薄くできる（例えば、信越ポリマー株式会社販売のMT-Tタイプなど参照）。従って、信号処理LSI1の厚さが200μm程度まで薄くなっただけでも実現が可能な構造である。しかも、この構造によれば、光インターフェイスモジュール7の厚さは、ヒートシンク21と実装ボード6の間に収まる厚さであれば良く、光インターフェイスモジュール7と信号処理LSI1の段差ばらつきは問題にならず、信号処理LSI1の厚さと電気入出力部22の厚さの段差ばらつきは、可塑性を有する異方性導電フィルム24の沈み込み量で吸収できるため、ヒートシンク21の共用が実現可能である。

【0090】

図10に、本実施形態の実装手順を示す。光インターフェイスモジュール7はヒートシンク21に適正な厚さの熱伝導性接着剤或いは半田等で固定し、電気入出力部22を別の接着剤30で固定する。信号処理LSI1の上面（露出面）に熱伝導性ペースト材19を挿入後、ヒートシンク付光インターフェイスモジュールを矢印で示したように、電気接続端子を位置合わせして装着する。ヒートシン

ク21は外部のホルダ（図示せず）によりLSI1に押し当てる方向に加圧される。そのとき、可塑性の異方性導電フィルム24の沈み込みにより、厚さばらつきが吸収されて信号処理LSI上面の熱伝導性ペースト材の厚さが適切になるまで加圧され固定される。

【0091】

この構造により、LSI1及び光インターフェイスモジュール7それぞれに適正な熱伝導性接着剤等の厚さを確保できるため、熱抵抗が上昇することを抑えて、インターポーザと光インターフェイスモジュールの電気的な接続を保持することが可能となる。

【0092】

また、電気接続部はインターポーザの上面に配置されている必要は無く、図11に示すように、インターポーザ2の側面において電気的接続が行われる位置関係であっても良い。

【0093】

（第8の実施形態）

図11（a）（b）は、本発明の第8の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を説明するためのもので、（a）は光インターフェイスモジュールの接続前の状態を示す断面図、（b）は光インターフェイスモジュールの接続後の状態を示す断面図である。図12（a）（b）（c）は電気接続部の構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0094】

電気接続部10はインターポーザ2の側面の辺縁部に縦の溝状に形成されており、インターフェイスモジュール7の電気接続部9が上方より挿入される（図12（a））。挿入されて電気接続を維持したまま図12（b）及び図12（c）で示したように上下方向への位置調整が可能な構造である。この構造によれば、インターフェイスモジュール7の電気接続部の厚さが信号処理LSI1の高さに制限されないため、構成に自由度が出るという特徴を持つ。

【0095】

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、伝送線路として光ファイバーを用いる例を取り上げて説明したが、伝送線路を同軸ケーブルやセミリジドケーブル或いはフレキシブル配線板等のような電気の伝送線路を用いた場合にも同様の効果が得られる。即ち、光インターフェイスモジュールの代わりに、線路駆動用のラインドライバICと、電気伝送線路と、電気伝送線路とラインドライバIC出力とを接続する手段（例えば、半田バンプやワイヤボンディングなど）と、インターフェイスモジュール外部の信号処理LSIの入出力信号と接続される入出力電気端子を内蔵したインターフェイスモジュールとしても良い。

【0096】

また、第2、第3の実施形態は、第1の実施形態以外の第4～第8の実施形態と適宜組み合わせて使用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0097】

【発明の効果】

以上詳述したように本発明によれば、光結合構造や電気接続及び伝送線路保持機構を別パッケージに收めることで、光学精度の維持或いは電気接続の保持を容易に実現でき信頼性が確保でき、かつ実装ボードやインターポーザに大きな変更を加えずとも、電気実装との整合性が高いインターフェイスモジュール付LSIパッケージを提供可能にするという効果がある。

【0098】

また、LSIやインターフェイスモジュールの発熱量が大きくなつてヒートシンクを共用する必要がある場合にも、LSIとインターフェイスモジュールの厚さの違いを吸収することが可能であり、熱抵抗の上昇を抑制可能である安価な高速インターフェイスモジュールを提供可能であるという効果がある。

【図面の簡単な説明】

【図1】

第1の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図2】

第1の実施形態のLSIパッケージの実際の実装状態を示す斜視図。

【図3】

第2の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図4】

第3の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図5】

第4の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図6】

第5の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図7】

第6の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成と要部構成を示す断面図。

【図8】

第6の実施形態における実装手順を説明するための斜視図。

【図9】

第7の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成と要部構成を示す断面図。

【図10】

第7の実施形態における実装手順を説明するための斜視図。

【図11】

第8の実施形態に係わる高速インターフェイスモジュール付LSIパッケージの概略構成を示す断面図。

【図12】

第8の実施形態に係わる高速インターフェイスモジュール付LSIパッケージ

の要部構成を示す断面図。

【図13】

第1の従来例として、ボードエッジ実装型の光インターフェイスモジュールの概略構成を示す断面図。

【図14】

第2の従来例として、インターポーザ上に光インターフェイスモジュールを半田付けし、光コネクタ付ファイバによって光接続した構造を示す断面図。

【図15】

第3の従来例として、インターポーザに直接光素子を実装し、実装ボード上に有機材料からなる光導波路を貼り付けて伝送路とした例を示す断面図。

【符号の説明】

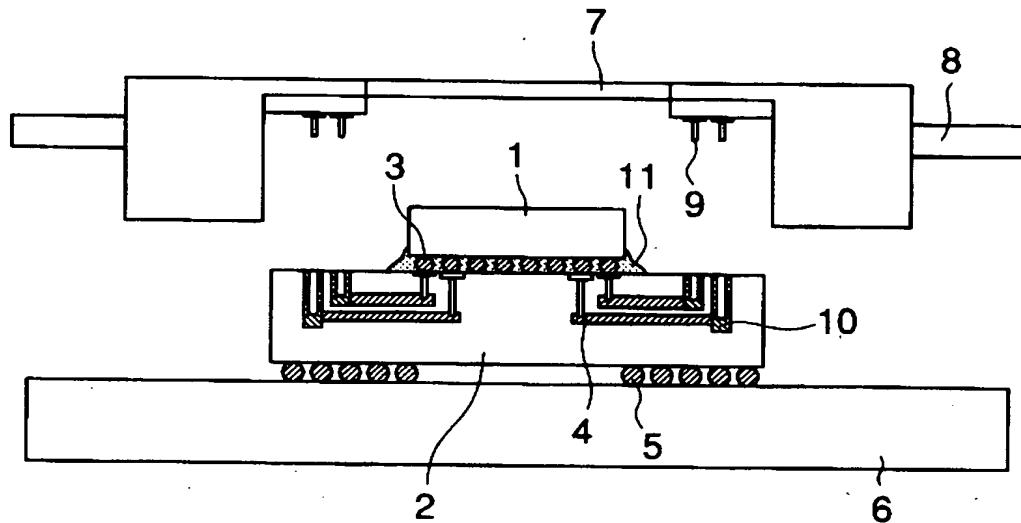
- 1 …信号処理LSI
- 2 …インターポーザ
- 3, 5 …半田バンプ
- 4 …高速信号配線（内部電気配線）
- 6 …実装ボード
- 7 …光インターフェイスモジュール
- 8 …光ファイバ（伝送線路）
- 9 …接続ピン（第1の電気接続端子）
- 10 …ジャック（第2の電気接続端子）
- 11 …アンダーフィル樹脂
- 12 …光コネクタ
- 13 …ボード上配線
- 14 …チップ部品
- 15 …ガイドピン
- 16 …ガイド穴
- 17 …電源配線
- 18 …ノイズフィルタチップ
- 19 …熱伝導性ペースト

- 20…熱伝導性接着剤
- 21…ヒートシンク
- 22…フレキシブル配線フィルム
- 23…電極ポスト
- 24…異方性導電フィルム
- 30…接着剤

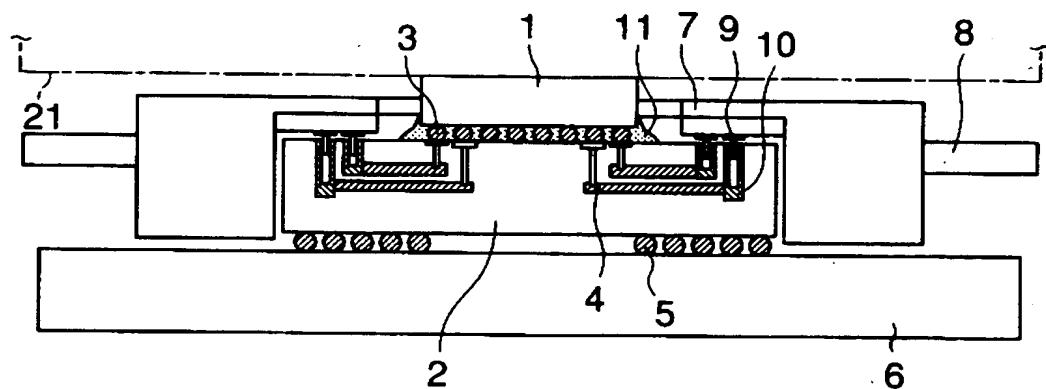
【書類名】

四面

【図1】

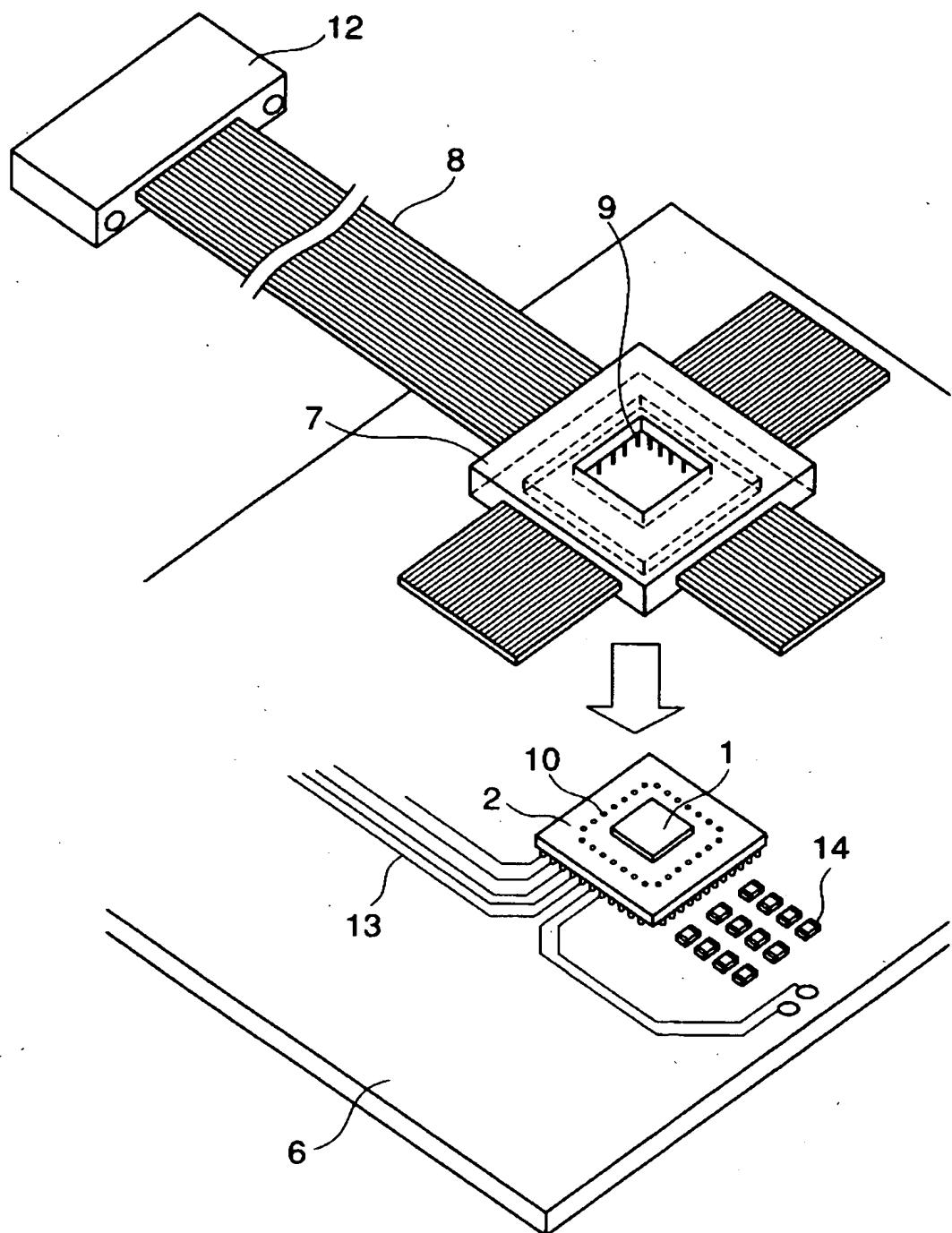


(a)

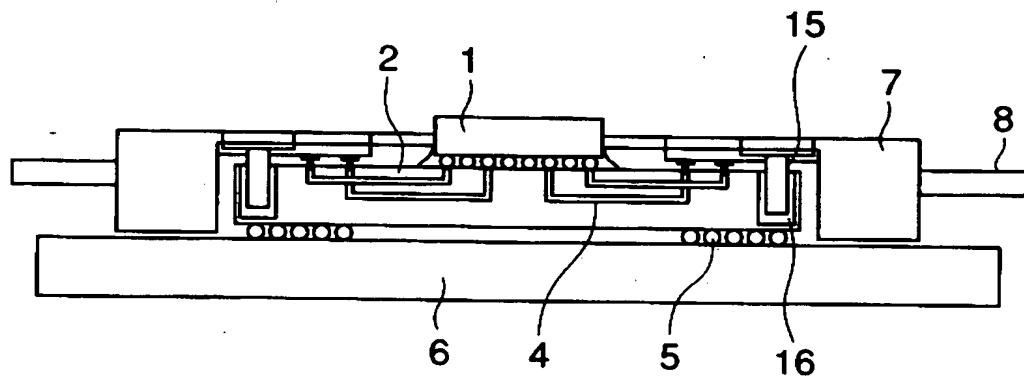


(b)

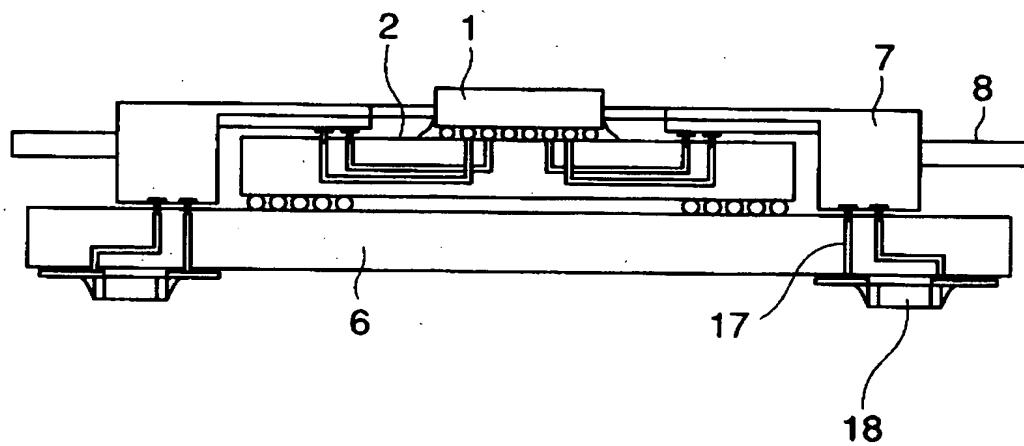
【図2】



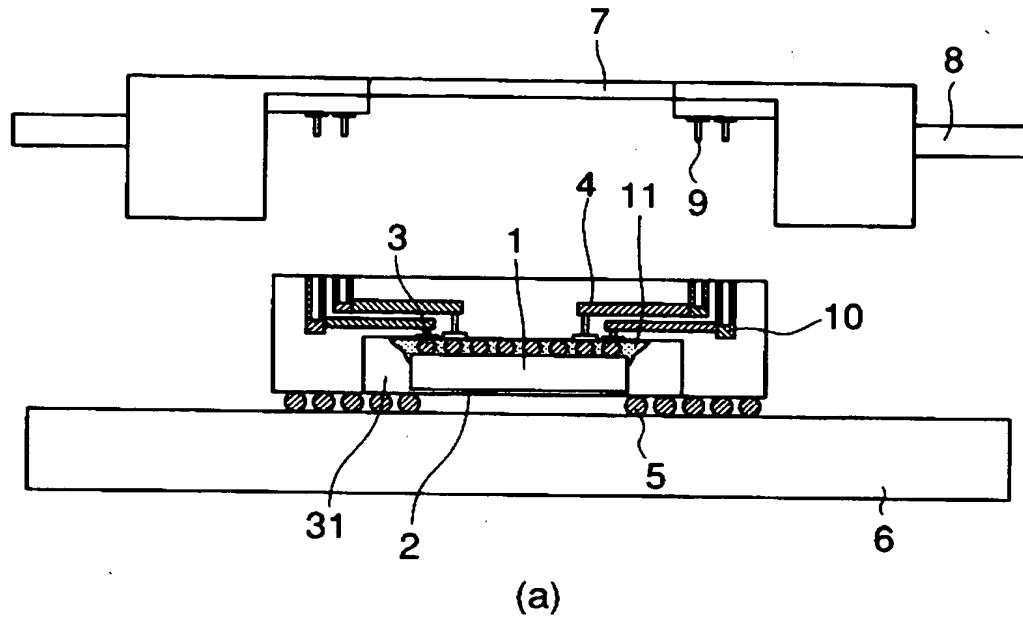
【図3】



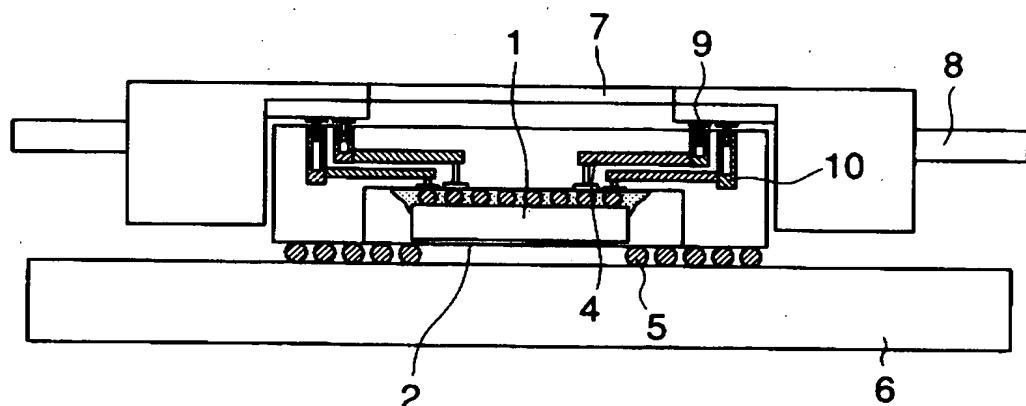
【図4】



【図5】

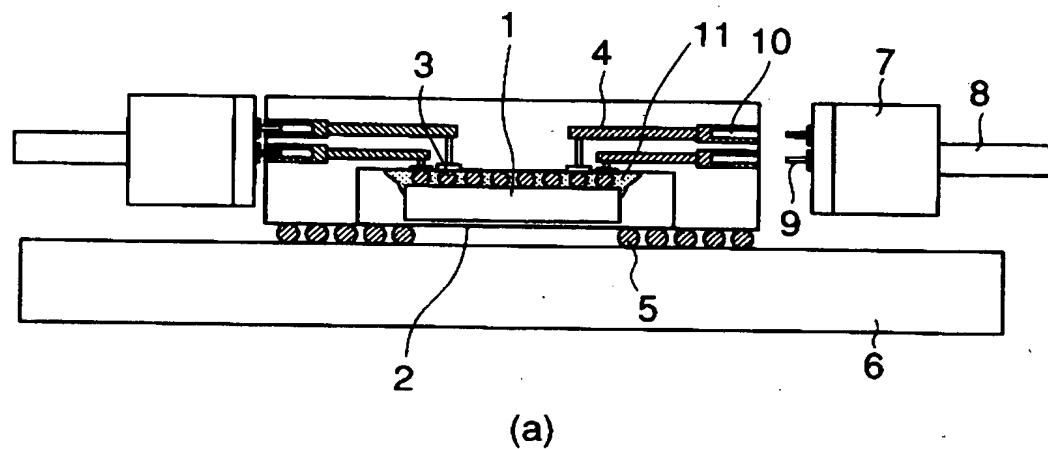


(a)

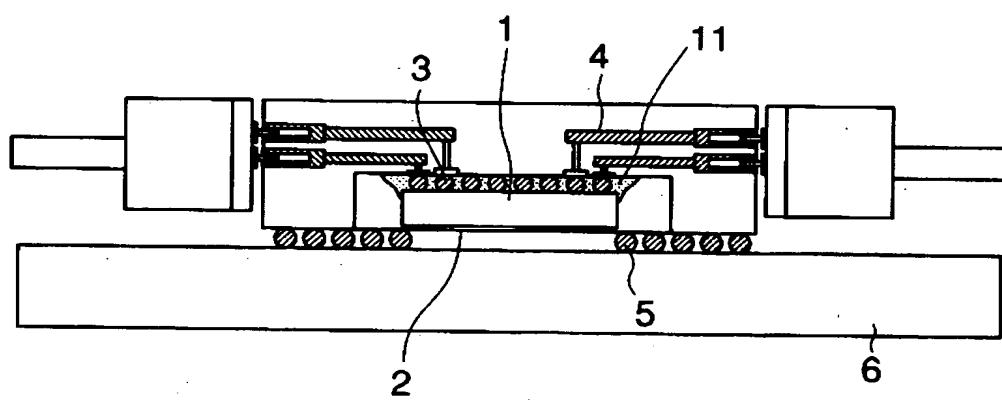


(b)

【図6】

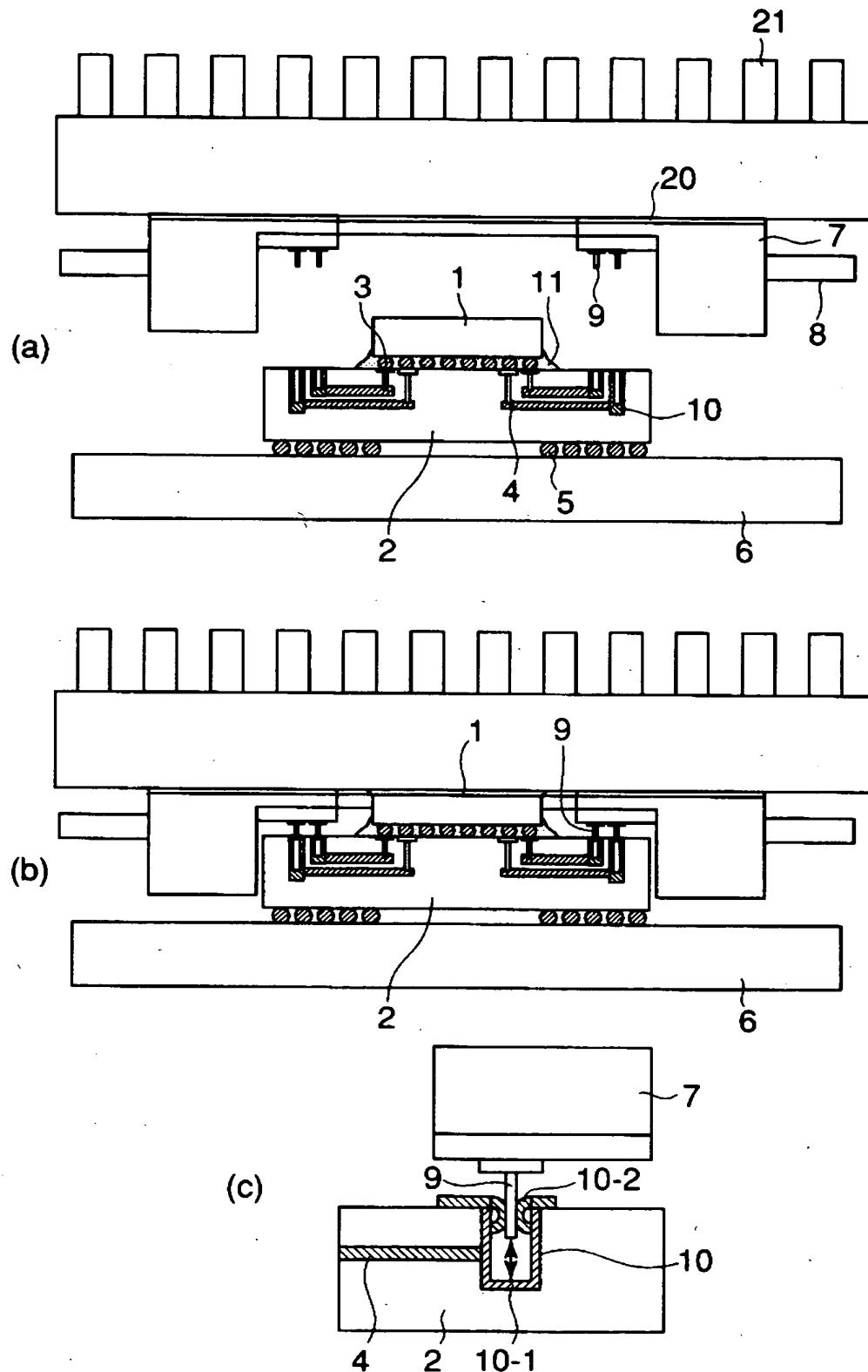


(a)

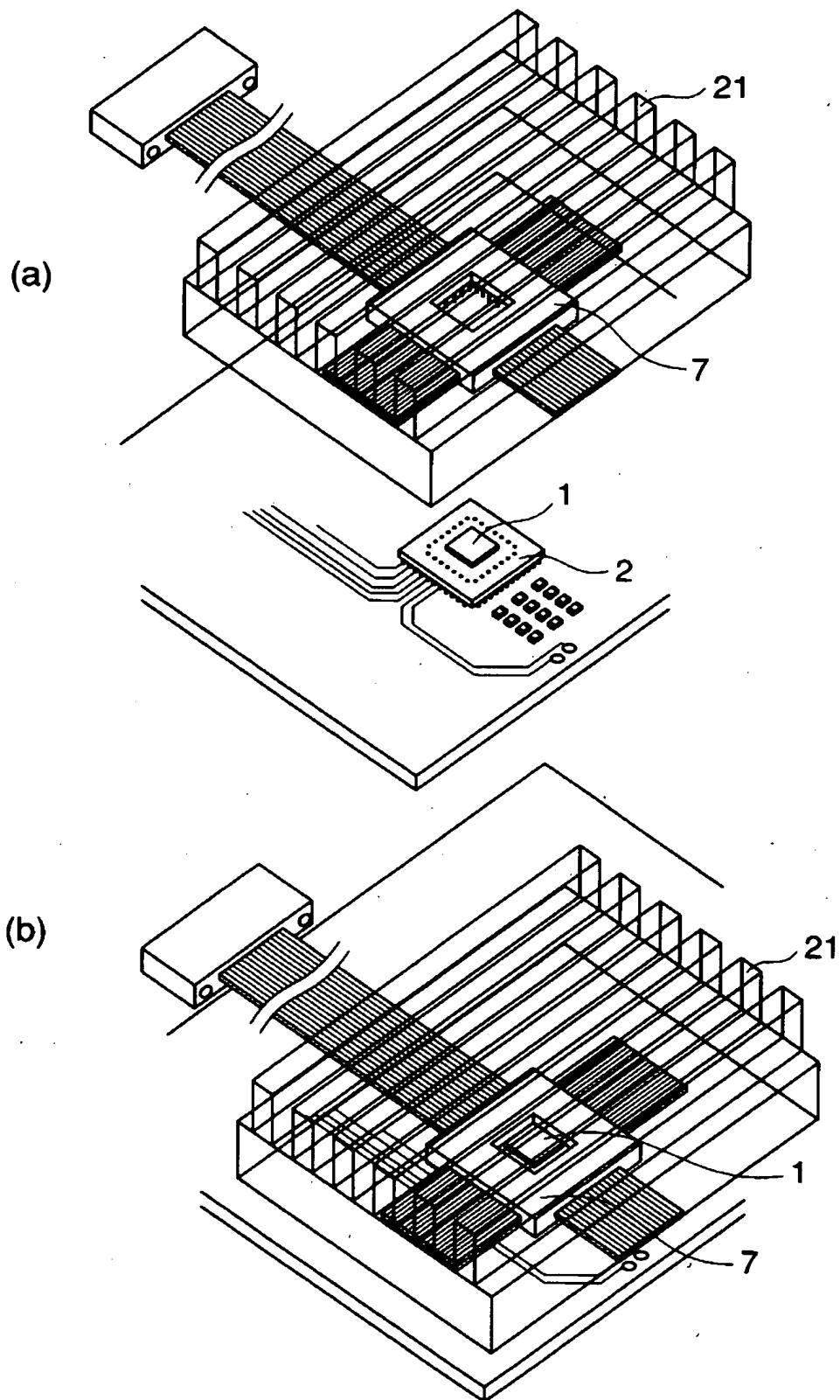


(b)

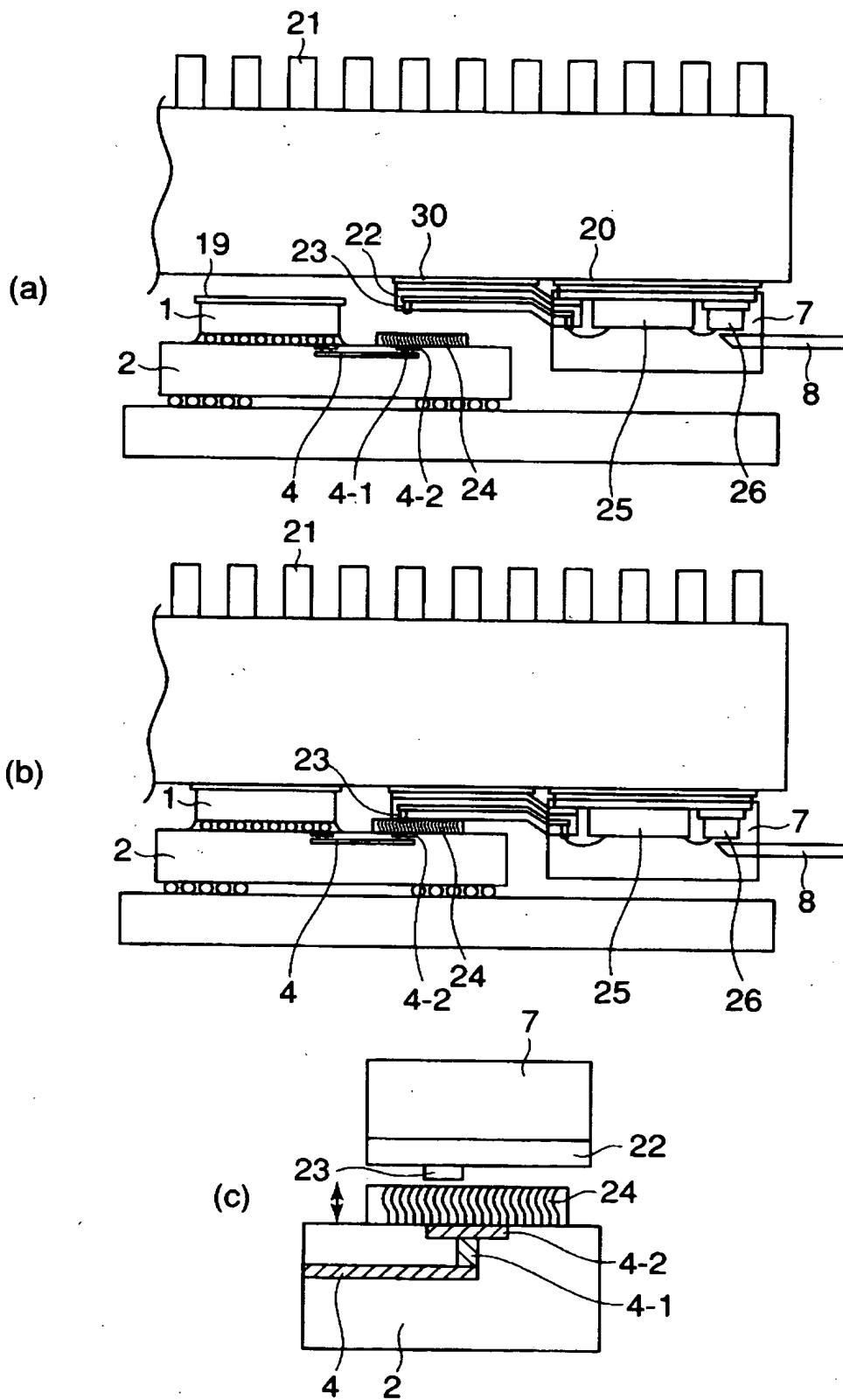
【図7】



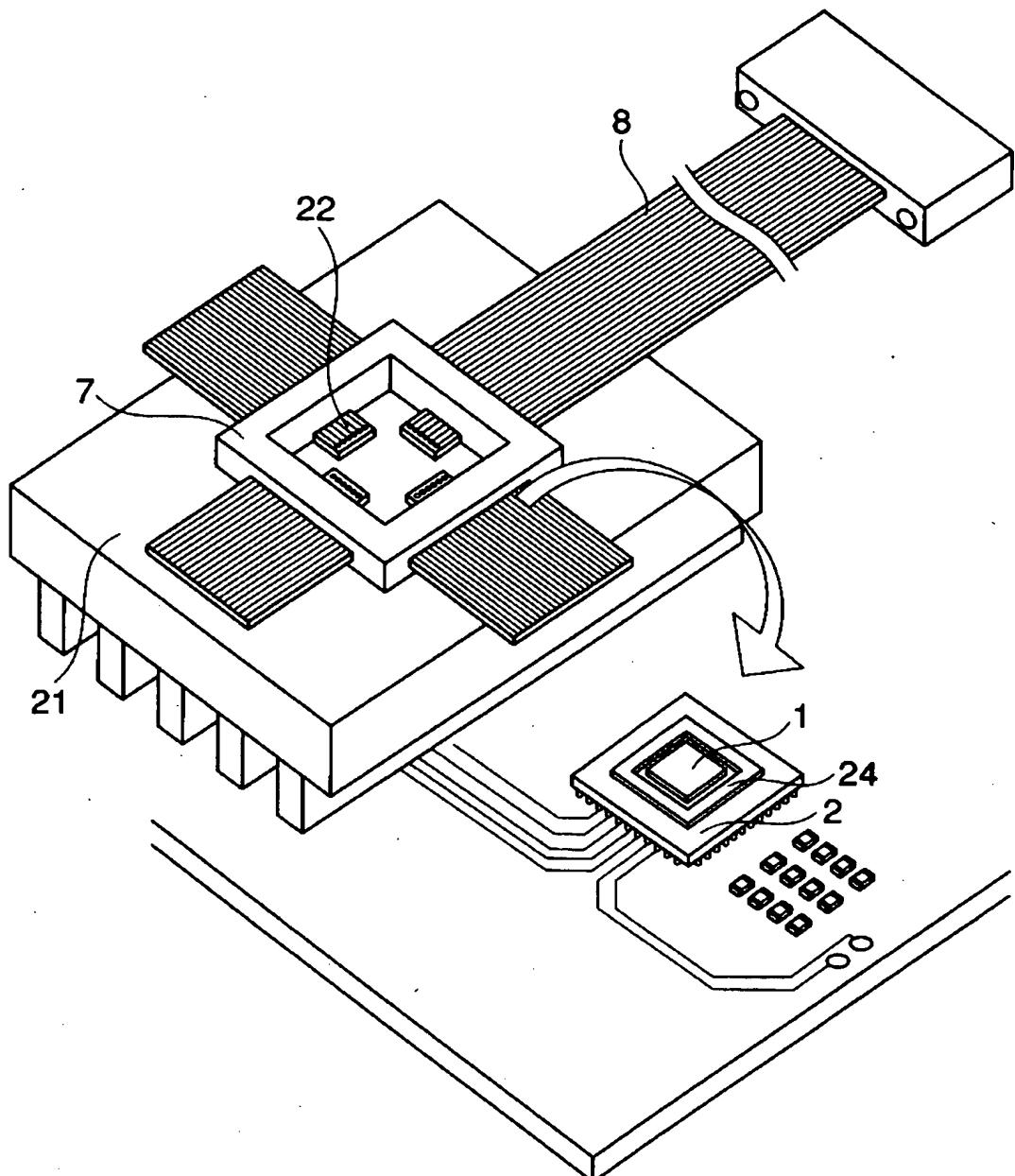
【図8】



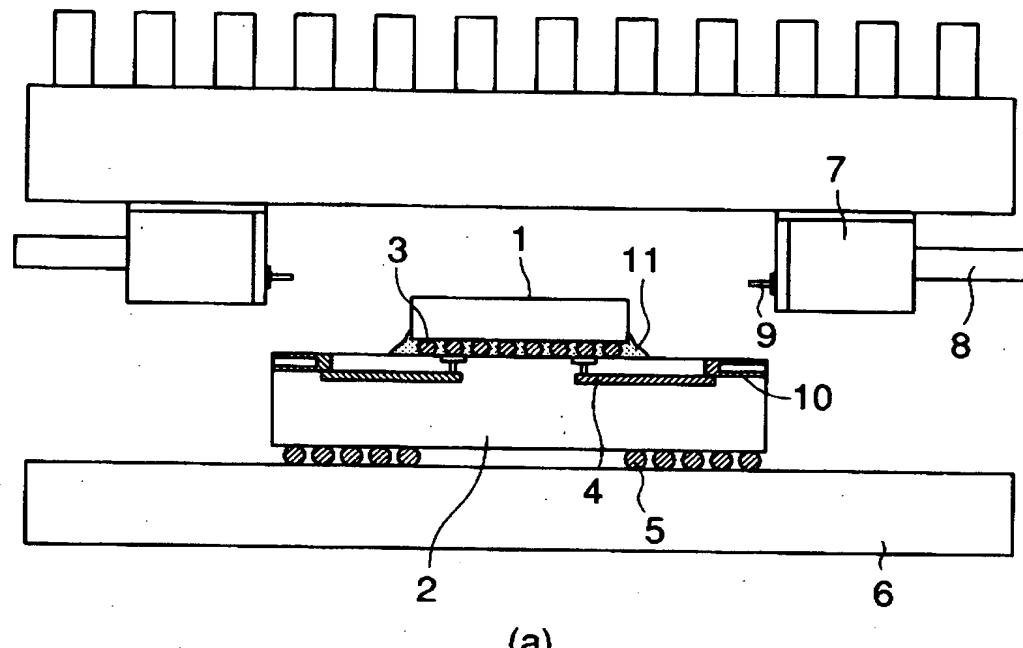
【図9】



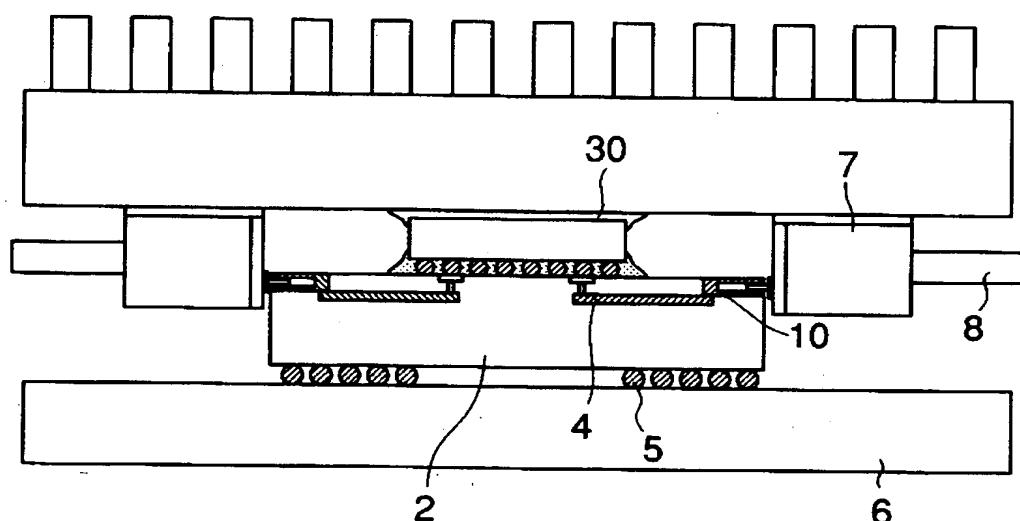
【図10】



【図11】

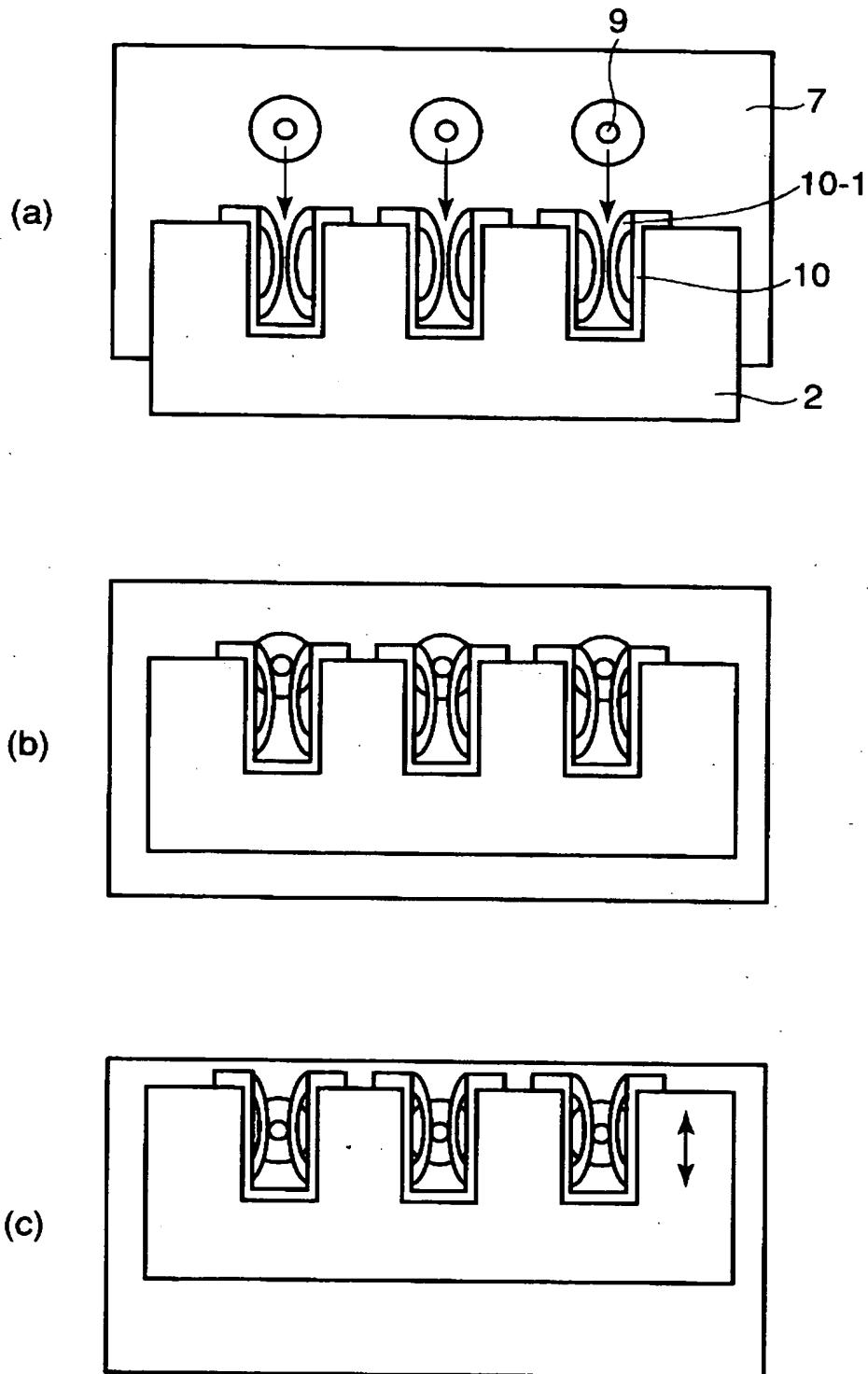


(a)

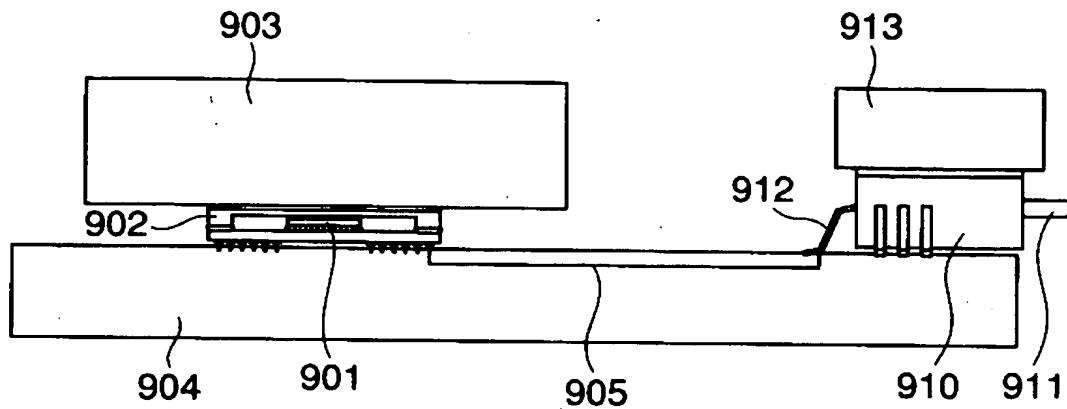


(b)

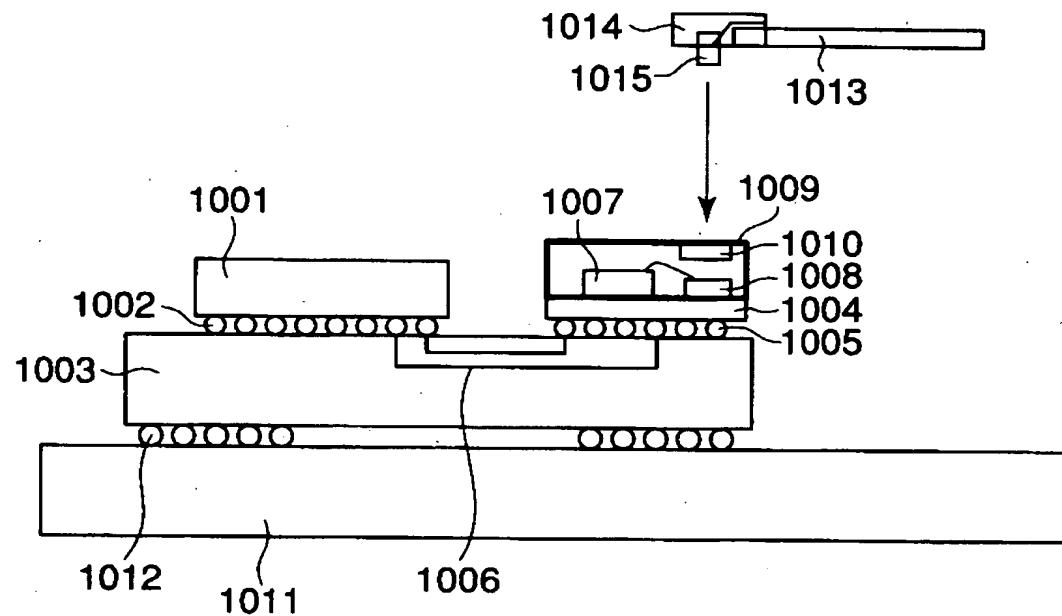
【図12】



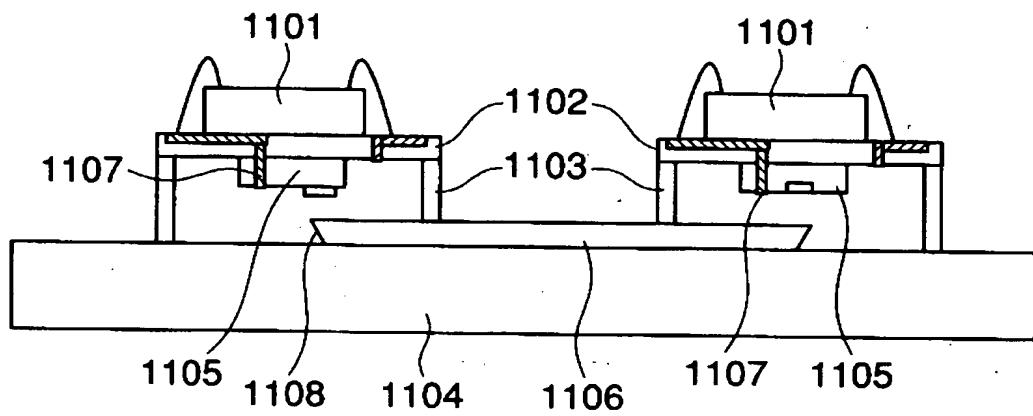
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 高価な伝送線路を要することなくインターフェイスモジュールを実装でき、かつ構造の複雑化によるコスト上昇や半田付けの干渉という実装上の問題を無くし、インターフェイスの高スループット化をはかる。

【解決手段】 表面側に信号処理LSI1が搭載され、裏面側に実装ボード接続用の半田バンプ3を有するインターポーラ2と、高速信号を外部配線するための光インターフェイスモジュール7とを備えたインターフェイスモジュール付LSIパッケージにおいて、モジュール7は、高速信号を外部配線する光ファイバ8を有し、光ファイバ8に信号を送出又は該伝送線路から信号を受信する光素子を内蔵し、かつ光素子に電気的に接続された接続ピン9を有し、インターポーラ2は、表面側に接続ピン9と対となるジャック10を有し、インターポーラ2とモジュール7は、接続ピン9とジャック10の機械的接触により電気接続される。

【選択図】 図1

特願2003-039828

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝